



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **2002015599 A**(43) Date of publication of application: **18.01.02**

(51) Int. Cl.

G11C 29/00
G01R 19/165
G01R 31/28
G01R 31/3185
G06F 12/16

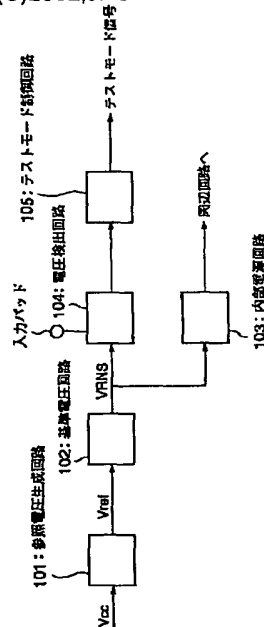
(21) Application number: **2000192582**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **27.06.00**(72) Inventor: **NOGUCHI MINEO**(54) **SEMICONDUCTOR MEMORY**

COPYRIGHT: (C)2002,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To enable detecting stably voltage, without being affected by dispersion of processes or the like in voltage detection at shifting to a test mode.

SOLUTION: This semiconductor memory has a reference voltage-generating circuit, to which external power source voltage is inputted and which generates internal reference voltage; a standard voltage circuit to which internal reference voltage is inputted and which outputs standard voltage of the prescribed value; a PMOS transistor in which reference voltage of the prescribed value is given to a gate electrode, of which a source is connected electrically to a pad to which an external signal is inputted, of which a drain is connected to ground voltage through a resistor means; and a test mode control circuit of which an input terminal is connected to a node between a drain of the PMOS transistor and the resistor means and which outputs a test mode signal shifting to a test mode, according to the voltage of the node.



①

(19)日本国特許庁 (JP)

(12)公開特許公報 (A)

(11)特許出願公開番号
特開2002-15599
(P2002-15599A)
(43)公開日 平成14年1月18日(2002.1.18)

(51)Int.Cl.	識別記号	F I	テ-マコ-ト' (参考)
G11C 29/00	671	G11C 29/00	T 2G032
G01R 19/165		G01R 19/165	A 2G035
31/28		G06F 12/16	330 A 5B018
31/3185		G01R 31/28	B 5L106
G06F 12/16	330		W

審査請求 有 請求項の数 2 O L (全9頁)

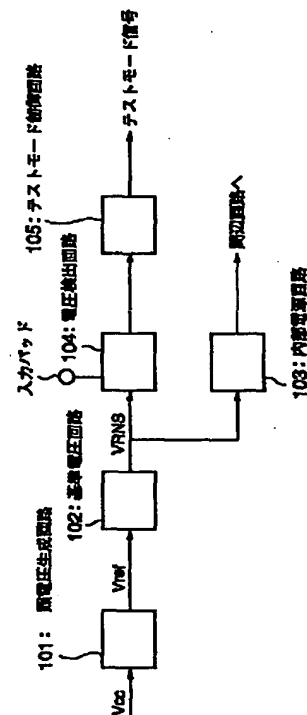
(21)出願番号	特願2000-192582(P2000-192582)	(71)出願人	000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22)出願日	平成12年6月27日(2000.6.27)	(72)発明者	野口 峰男 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
		(74)代理人	100089093 弁理士 大西 健治
		Fターム(参考)	2G032 AA07 AB01 AX14 AL00 2G035 AA00 AB02 AC16 AD23 AD24 AD56 5B018 GA04 JA30 QA13 5L106 DD11

(54)【発明の名称】半導体記憶装置

(57)【要約】

【課題】 テストモードへ移行する際の電圧検出において、プロセスばらつき等に影響されない安定した電圧検出を可能とする。

【解決手段】 外部電源電圧が入力され内部参照電圧を発生する参照電圧生成回路と、内部参照電圧が入力され所定値の基準電圧を出力する基準電圧回路と、所定値の基準電圧がゲート電極に与えられ、ソースが外部信号が入力されるパッドに電氣的に接続され、ドレインが抵抗手段を介して接地電圧に接続されたPMOSトランジスタと、入力端子がPMOSトランジスタのドレインと抵抗手段の間のノードに接続され、ノードの電圧に応じてテストモードへ移行するテストモード信号を出力するテストモード制御回路とを有することを特徴とする半導体記憶装置。



【特許請求の範囲】

1 V_{ref} 発生回路

【請求項1】 外部電源電圧が入力され内部参照電圧を発生する参照電圧生成回路と、内部参照電圧が入力され所定値の基準電圧を出力する基準電圧回路と、 V_{ref} を抵抗分圧してVRNSを出力し前記所定値の基準電圧がゲート電極に与えられ、ソースが外部信号が入力されるパッドに電氣的に接続され、ドレインが抵抗手段を介して接地電圧に接続されたPMOSトランジスタと、

10 入力端子が前記PMOSトランジスタのドレインと前記抵抗手段の間のノードに接続され、該ノードの電圧に応じてテストモードへ移行するテストモード信号を出力するテストモード制御回路とを有することを特徴とする半導体記憶装置。

【請求項2】 外部電源電圧が入力され内部参照電圧を発生する参照電圧生成回路と、内部参照電圧が入力され所定値の基準電圧を出力する基準電圧回路と、前記所定値の基準電圧がゲート電極に与えられ、ソースが外部信号が入力されるパッドに電氣的に接続され、ドレインが抵抗手段を介して接地電圧に接続されたPMOSトランジスタと、

20 入力端子が前記PMOSトランジスタのドレインと前記抵抗手段の間のノードに接続され、該ノードの電圧が変化してから所定期間経過した時点で電圧が変化した信号を出力する安定化回路と、該安定化回路の出力する信号に応じてテストモードへ移行するテストモード信号を出力するテストモード制御回路とを有することを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は電圧検出回路に関わり、特にこの検出回路の結果に基づいてテストモードの設定がなされる半導体記憶装置に関する。

【従来技術の説明】半導体記憶装置には、外部端子に超高電圧（あるいは超低電圧）を印加することによってテストモードに移行する機能を有しているものがある。この種の半導体記憶装置は印加されたSuper High Voltage（超高電圧）を検出する電圧検出回路を有しているのが一般的である。

【0002】図12は一般的な従来の電圧検出回路を示す回路図である。この回路は、テストモードに移行する超高電圧が印加されるパッド1、 n 個のNMOSトランジスタ2-1～2- n 、抵抗3、インバータ4を有している。NMOSトランジスタと抵抗はパッド1と接地電圧Vssとの間に直列に接続されている。トランジスタと抵抗の間のノードAはインバータ4の入力端子へと接続される。

【0003】この回路ではパッド1にNMOSトランジスタ n 段分のしきい値電圧（ $n \times V_{th}$ ）よりも高い電圧が印加されるとノードAのレベルが変化し、インバータ4の出力が

HレベルからLレベルに変化することで、テストモードへと移行する。

【発明が解決しようとする課題】しかし、従来の電圧検出回路では、プロセスばらつき等によって、トランジスタのしきい値がずれてしまった場合、テストモードへの移行が正確に行えない場合があった。つまり、一つのトランジスタのしきい値が ΔV_{th} ずれた場合、パッド1に与える電圧は $n \times \Delta V_{th}$ ずらさなければ正確にノードAのレベルを変化させることは出来ず、電源電圧が小さくなってきている現在ではこのずれは重要な問題となってきている。

【課題を解決するための手段】

【発明の実施の形態】（第1の実施の形態）

【0004】図1は半導体記憶装置において本発明の電圧検出回路が適用される周辺を示すブロック図である。また図2～図4は本発明の第1の実施の形態における各ブロックの回路を表す回路図である。以下図1～図4を用いて本発明の実施の形態について説明する。

【0005】半導体記憶装置は参照電圧生成回路101、内部の基準電圧回路102、内部電源回路103、電圧検出回路104、テストモード制御回路105を有している。

【0006】参照電圧生成回路101は半導体素子の外部から与えられた外部電源Vcc（3.3V程度）が与えられ、参照電圧Vrefを出力する回路である。この参照電圧Vrefは、外部電源の電圧値が変化したり回路の動作温度が変化しても、参照電圧Vref自身の値が変化してしまうことはない。つまり参照電圧生成回路101は半導体装置の外部の環境の変化には左右されない参照電圧値を出力する回路である。

30 【0007】基準電圧回路102は参照電圧生成回路101の出力電圧Vrefが与えられ、内部回路の基準となる基準電圧VRNSを出力する回路である。この回路の出力する電圧値は温度や電源電圧の変化、プロセスばらつき等に左右されず予め設計された値で一定であり、所定値からずれることはない。この基準電圧回路102は、ほぼ絶対的な一定電圧を出力する回路である。

40 【0008】電圧検出回路104はテストモード信号入力用パッドに与えられる電圧に応じて所定ノードの電圧レベルが変化する回路である。パッドに与えられる電圧が通常信号の電圧レベルの範囲内であれば、所定ノードのレベルは後段の回路にハイレベル(Hレベル)と判定されない電圧レベルである。しかしパッドに高電圧が印加されると所定ノードのレベルが上昇し、ハイレベルとなる。

【0009】テストモード制御回路は電圧検出回路104の所定のノードがあるレベル以上（例えば入力段のインバータのしきい値以上）になることに応じてテストモードへと移行するテストモード信号を出力する回路である。

【0010】内部電源回路103は基準電圧発生回路101の

出力する電圧、および外部電源電圧に基づいて、内部電源電圧を生成し出力する回路である。一般的には内部電源回路は内部基準電圧をオペアンプなどを用いて増幅して出力する回路である。しかし、後述するバーンイン試験等において外部の電源電圧が高くされた場合は、この高くされた割合に応じて出力する内部電源電圧も通常よりも高い状態にして出力するような特性を有している。この内部電源電圧はメモリセル周辺のデコーダ等の回路が動作する際の電源電圧として用いられる。

【0011】以下に図2～図4を用いて図1に示した各回路の詳細な構成、動作について説明する。

【0012】図2は本実施の形態における参照電圧生成回路101を示す回路図である。参照電圧生成回路は抵抗201、202、NMOSトランジスタ203、204（以下NMOSと省略する）、PMOSトランジスタ205（以下PMOSと省略する）を有している。

【0013】抵抗201は外部電源Vccに接続されている。抵抗202、NMOS203、204は抵抗201と接地電位Vssとの間に直列に接続されている。PMOS205は、抵抗202およびNMOS203、204に並列に接続されている。PMOS205は抵抗201と接地電位Vssとの間に接続されている。

【0014】NMOS203のゲート電極はこの回路の出力ノード、つまり抵抗201と抵抗202との間のノード207に接続されている。NMOS204のゲート電極は外部電源Vccに接続されている。PMOS205のゲート電極は抵抗202とNMOS203との間のノード206に接続され、PMOSが形成される基板（パルク電位）はPMOS205のソース側のノード207に接続されている。この参照電圧生成回路の出力である参照電圧Vrefは抵抗201と202の間のノード207、PMOS205のソース側のノード207から出力される。

【0015】参照電圧生成回路101の動作を説明する。この回路には抵抗202、NMOS203、204を流れる電流とPMOS205を流れる電流とが存在する。ここで抵抗202を流れる電流をI202、PMOS205を流れる電流をI205とする。抵抗201にはI201=I202+I205の電流が流れる。抵抗201の抵抗値をR201とした場合、外部電源電圧Vccから、抵抗201による電圧降下を差し引いた値がこの回路の出力電圧Vrefである。出力電圧Vrefは以下の式で表される。

$$V_{ref} = V_{cc} - (I_{201} \cdot R_{201}) \cdots (1)$$

【0016】このような回路で、NMOS204はそのゲートが外部電源に接続されているので、常にオン状態である。またNMOS203のゲートには上記のVrefが与えられており、常にオン状態である。外部電源の電圧Vccが上昇した場合、NMOS204のゲート電圧も上昇し、NMOS204のチャネル抵抗が減少する。その結果、I202の電流値が上昇する。PMOS205のゲート・ソース間電圧をVtpとした場合、I202・R202=Vtpと言う関係が成り立つ。そのため、I202の電流が大きくなると、PMOS205のゲート・ソース間の電圧がより大きくなる。この動作によりI205の電流値も増加する。

【0017】上記の一連の動作により、外部電源の電圧が増加した場合、抵抗201に流れる電流が増加し、抵抗201による電圧降下も大きくなる。よって出力である参照電圧Vrefの値は一定に保たれる。一方外部電源が下がった場合は、上述の動作と反対となり、I202、I205が減少することにより、抵抗201による電圧降下が小さくなる動作を行う。これらの動作によって本実施の形態の参照回路は外部電源が変動した場合でも、この変動によって出力する参照電圧Vrefが変化してしまうのを防ぐことが可能である。

【0018】以下にこの参照電圧生成回路の温度補償動作について説明する。一般的にPMOSトランジスタのしきい値は負の温度係数を有している。つまり温度が上昇すると、そのしきい値は減少する。それに対し、NMOSトランジスタのチャネル抵抗は正の温度係数を有している。温度が上昇するとNMOSのチャネル抵抗は上昇する。本実施の形態における参照電圧Vrefは、PMOS205が導通状態であり、ノード206の電圧をV206で表した場合、 $V_{ref} = V_{206} + V_{tp}$ である。

【0019】したがって、図2に示す回路で、何らかの原因により回路の動作温度が上がった場合はNMOS203、204のチャネル抵抗が大きくなりノード206の電圧が上昇する。これに反し、PMOS205のゲート・ソース間電圧Vtpは減少する。この上昇と減少が相殺しあって、出力電圧Vrefは安定する。回路の動作温度が下がった場合は上記と反対の動作によって出力電圧Vrefは安定する。

【0020】このように図2に示す参照電圧生成回路は外部電源の変化、動作温度の変化などの外的な要因が変化した場合でも、ある一定の範囲内の電圧を出力することが出来る回路である。

【0021】図3は本実施の形態における基準電圧回路を示す回路図である。参照電圧生成回路の出力電圧は外部電源の電圧変化や、温度変化などに左右されないものの、プロセスばらつきなどによって、必ずしも設計時の期待値通りの出力電圧を出力しない場合がある。そこで、この基準電圧回路は参照電圧生成回路の出力する参照電圧Vrefが入力され、内部回路の基準電圧となる一定の電圧値を出力する回路である。

【0022】基準電圧回路はヒューズROM310～312、デコーダ回路320、抵抗素子330～337およびスイッチとなるNMOSトランジスタ340～347を有している。抵抗330～337は参照電圧生成回路の出力電圧であるVrefと接地電位Vssとの間に直列に接続されている。トランジスタ340～347は抵抗素子330～337のそれぞれの抵抗素子同士の間のノードにドレインが接続され、ソースは基準電圧回路の出力端子に接続されている。それぞれのゲート電極はデコーダ回路320の出力端子D0～D7に接続されている。

【0023】ヒューズROM310～312はそのヒューズが溶断されているかどうかという状態に応じてハイレベル(H

レベル)あるいはローレベル(Lレベル)の信号を出力する回路である。本実施の形態ではヒューズROMは3段用意され、ヒューズの溶断によって3ビットの2値信号を出力する。デコーダ回路320はNANDゲートやインバータなどの論理ゲートを組み合わせて構成されるデコーダであり、3ビットの2値信号をデコードし、任意の出力端子D0~D7の任意の端子のみをHレベルにする回路である。以下に図3を用いて基準電圧回路の動作について説明する。

【0024】まず基準電圧回路102は、何の調整もされない段階(初期状態)でデコーダ回路の出力端子D4がHレベルとなっているとする。この状態では基準電圧回路の出力電圧VRNSはVrefを半分に分圧した値Vref/2である。この状態で基準電圧VRNSが、半導体装置の試験時などにおけるプロービングによって測定される。この値が設計した値とおりであれば、以下に示す電圧の微調整は行われない。しかし、参照電圧生成回路の出力電圧はプロセスばらつきなどにより設計値よりも若干ずれている場合がある。そこで、このプロービングにおいて測定された電圧値に基づいて、基準電圧を微調整するためのヒューズの溶断が行われる。

【0025】ヒューズROM310~312の外部電源側あるいは接地電位側のどちらかに接続された任意のヒューズを溶断することで、ヒューズROM310~312の出力する3ビットの信号は(000)~(111)の8通りに変化する。デコーダの構成の仕方によるが、この8通りの信号を与えることで、デコーダ回路D0~D7の任意の出力端子にHレベルが現れるようにすることで、抵抗320~327で分圧されている任意のノードから出力の基準電圧VRNSを取り出すことが出来る。

【0026】つまり基準電圧回路ではプロービング時の基準電圧VRNSの測定値に基づいて任意のヒューズを溶断することにより、外部電源、動作温度の変動に影響されない電圧Vrefを、さらにプロセスばらつきによる影響を除いて、予め設定された設計値の電圧として出力することが可能な回路である。

【0027】図4は本実施の形態における電圧検出回路104の回路を示す回路図である。本実施の形態の電圧検出回路はテストモードへと移行するための電圧が印加されるパッド401およびNMOSトランジスタ402、403およびPMOSトランジスタ404、抵抗405を有している。

【0028】NMOS402はドレインおよびゲートがパッド401に接続され、基板端子は接地電位Vssに接続されている。NMOS403はドレインおよびゲートがNMOS402のソースに接続され、基板端子は接地電位Vssに接続されている。PMOS404はソースおよび基板端子がNMOS403のソースに接続され、ドレインはノード410に接続されている。PMOS402のゲートは上記に説明した基準電圧回路の出力である基準電圧VRNSに接続されている。基板端子が接地電位に接続されているということはNMOSトランジスタ402、403が形成されるP基板(Pウェル)が接地電位に接続

されているということである。

【0029】抵抗405はノード410と接地電位Vssの間に接続されている。以上のNMOSトランジスタ402、403、PMOSトランジスタ404、抵抗405はパッド401と接地電位Vssとの間に直列に接続されている。ノード410は電圧検出回路の出力を決定するノードであり、このノードの電圧に基づいてテストモードか通常動作かが決定される。以下に図4を用いて本実施の形態の電圧検出回路の動作について説明する。

10 【0030】通常動作時は信号入力パッド401には通常のTTLレベルの入力信号が与えられている。この範囲内の電圧がパッド401に与えられている限り、ノード410のレベルはLレベルでありテストモードに移行することはない。

20 【0031】テストモードに移行する場合はパッド401に7~8Vの高電圧が印加される。高電圧が印加されるとNMOS402、403はソースに対してのゲートの電圧がNMOSトランジスタのしきい値Vtnよりも大きくなった時点でオン状態となる。一方PMOSトランジスタ404はNMOSトランジスタ403に接続されるソースの電圧が、ゲートに入力されている内部基準電圧VRNS(2.4V)よりもしきい値Vtp以上高くなればオン状態となる。

【0032】すなわちパッド401に高電圧を印加し、その電圧が内部基準電圧VRNS+PMOS404のしきい値+NMOS403のしきい値+NMOS402のしきい値よりも大きくなればNMOSトランジスタ402、403、404がオン状態となり、ノード410の電圧はHレベルとなる。ノード410のレベルがHレベルとなることにより、図1に示したテストモード制御回路104はテストモードに移行する信号を出力する。詳しくはノード410に接続されたテストモード制御回路104の入力段のインバータの出力がHレベルとなる。なおこの動作におけるノード410およびパッドの電圧レベルの関係を図5に示す。

【0033】本実施の形態ではNMOS402、403に対して直列にPMOS404を接続し、PMOS404のゲートには内部基準電圧VRNSが入力されている。その結果、パッドに与える電圧をVinとした場合、 $Vin > VRNS + Vtp + 2 \cdot Vtn$ となれば半導体記憶装置はテストモードへと移行する。このような構成とすることでVRNSという内部基準電圧を利用することができ、高電圧検出に用いるMOSトランジスタの個数を減らすことが可能となる。よって仮にプロセスのばらつきなどによってNMOSのしきい値がずれてしまった場合でも、設計時に計算した高電圧値に対してのずれを小さくする事が可能である。

【0034】またPMOS404のゲートに入力される電圧は内部基準電圧VRNSである。この内部基準電圧は上述で説明したとおり、内部回路の動作を保証するためにプロービング時に調整され、プロセスばらつき、電源電圧の変化、温度変化などに影響されない電圧値である。この値を利用することでしきい値のずれの影響を最低限にする

ことが出来る。

【0035】またこの内部基準電圧はバーイン試験などにおいて電圧が上げられることがない。図6を用いてバーイン試験時における外部電源電圧、内部電源回路、および基準電圧回路の出力電圧について説明する。バーイン試験は電源電圧を基準よりも高くして動作させる加速試験のことで回路の信頼性を測定する試験である。このような試験においては外部電源の電圧は7~8Vにまで上昇させられる。この場合、内部電源回路に基づいて動作する周辺回路についても同様に電圧を通常より高くした加速試験をしなければならない。したがって内部電源回路は上述の通り外部電源にある程度追従した動作をする。したがってバーイン試験時には外部電源および内部電源の電圧は図6に示すように上昇させられる。

【0036】内部電源をPMOS404のゲート電圧として利用した場合、バーイン試験時には高電圧がPMOS404のゲート電圧に印加されてしまう。この状態で、内部回路の動作を試験するためにテストモードに移行しようとする、パッド401に入力する電圧は図6に点線で示すような電圧を入力しなければならない。しかし、パッド401にこのような高電圧を入力した場合、NMOS402および403のゲートにも非常に高い電圧が加わることとなる。NMOS402および403は前述した通り、接地電位に固定されたPウェル内に形成されている。

【0037】NMOS402および403のゲートにこのような高電圧を加えた場合、基板端子であるウェルの電位との差が非常に大きくなり、NMOSトランジスタ素子自体のゲート酸化膜の耐圧が耐えられなくなってしまう。本願発明はこのような問題を避けるため、内部の基準電圧として生成され、バーイン試験時などにもその電圧値に変動がない内部基準電圧VRNSを用いることで、バーイン試験時にも安定したテストモードへの移行ができ、素子の破壊等もおこらない回路の安定動作を期待することが出来る。

【0038】以上詳細に説明したように本実施の形態によればテストモードに移行する電圧を検出する回路に、固定の電位がゲートに入力されるMOSトランジスタを利用することにより、プロセスのばらつきによる影響を低減でき、マージンを大きくすることが出来る。また入力される固定電位には内部の電圧の基準となり、外的要因による電圧変動が少ない基準電圧回路の出力電圧を用いているので例えばバーイン試験などのときでもテストモードに移行することができ、安定したテストを行うことが出来る回路となる。

【0039】図7は本発明第2の実施の形態における半導体記憶装置のブロック図を示す。本発明第2の実施の形態においては基本的なブロック図はほぼ第1の実施の形態と同様である。第2の実施の形態では第1の実施の形態における電圧検出回路104とテストモード制御回路105と間に安定化回路710を設けている点が第1の実施の

形態と異なる点である。

【0040】電圧検出回路などではパッドに例えばノイズ等により一定値以上の電圧が加わった場合や、通常印加される信号のオーバーシュートなどにより誤ってテストモードに入ってしまう場合がある。そこで第2の実施の形態では安定化回路を設けることによって一定時間以上高電圧が印加された場合にテストモードに移行するように構成されている。本実施の形態では電圧検出回路から出力される電圧に対して安定化回路を設けた点以外は第1の実施の形態と同様であるので本実施の形態では主に安定化回路の構成とその動作について説明する。

【0041】本実施の形態における遅延回路の入力端子はノード410に接続され出力端子はテストモード制御回路の入力段のインバータへと接続されている。

【0042】図8は本実施の形態に関わる第1の安定化回路を示す回路図である。図8に示す安定化回路は複数のインバータ801~805、NANDゲート806を有している。

【0043】NANDゲート806の一方の入力端子には電圧検出回路のノード410の電圧が入力され、他方の入力には電圧検出回路のノード410の電圧が偶数個の複数段のインバータ801~804を介して入力されている。図9は図8の安定化回路の入出力波形を示すタイミングチャートであり、図9を用いて安定化回路の動作について説明する。

【0044】電圧検出回路のノード410のレベルがHレベルとなった場合、NANDゲートの一方の入力にはHレベルの信号が入力される。NANDゲートの他方の入力にはインバータ4段分遅延してHレベルとなる。NANDゲートの両方の入力が高レベルとなった場合、NANDゲート806の出力はLレベルとなる。つまりインバータ805の出力はノード410のレベルが所定期間以上Hレベルとなることを受けて、Hレベルへと変化する。このインバータ805の出力信号がテストモード制御回路への入力信号となり、この信号の変化を受けてテストモードへと移行する。(図9-a)

【0045】仮に、ノイズなどにより電圧検出回路のノード410が一時的にHレベルとなった場合、NANDゲートの一方の入力にはHレベルが入力される。しかしNANDゲートの他方の入力にはインバータの段数に応じて、遅延を持ってHレベルが入力される。つまり一定時間以上のHレベルが維持されなければ、NANDゲートの両方の入力端子にHレベルが入力されることはない。したがってノード410のHレベルの変化が所定期間以下出会った場合はテストモードには移行しない。(図9-b)

【0046】このように電圧検出回路の出力するレベルに関して一定時間以上Hレベルが維持されない限りテストモードへ移行する信号が出力されないようにすることで、ノイズなどによる誤動作を防止することが可能である。

【0047】図10は本発明の第2の実施の形態における第2の安定化回路を示す回路図である。この第2の安定化

回路は上記の第1の安定化回路に置き換えて使用される回路であり、ノイズなどによって誤ってテストモードに移行するのを防止する働きは第1の安定化回路と同様である。

【0048】本実施の形態における安定化回路の入力端子はノード410に接続され出力端子はテストモードへの移行信号を出力するインバータの入力端子へと接続されている。第2の安定化回路はPMOS1001およびNMOS1002、1003とを有している。PMOS1001のゲート電極は接地電位Vssに接続され、ソースは電源電圧Vcc、ドレインはこの回路の出力となる信号を出力するインバータ1004の入力端子に接続されている。NMOS1002のゲート電極は電圧検出回路のノード410に接続され、ソースはNMOS1003のドレインにドレインはインバータ1004の入力端子に接続されている。NMOS1003のゲート電極は所定電位（例えばVccやVENS）に接続されソースは接地電位、ドレインはNMOS1002のソースに接続されている。

【0049】図11は図10の安定化回路の入出力波形を示す波形図であり、以下図11を用いて第2の安定化回路の動作について説明する。

【0050】通常NMOS1002のゲートの電圧はLレベルであり、NMOS1002はオフ状態になっている。PMOS1001のゲート電極には接地電圧のVssが与えられ、オン状態であるのでインバータ1004の入力端子はHレベルである。

【0051】テストモードに入るために電圧検出回路のバッドに高電圧が印加されるとNMOS1002のゲートのレベルもHレベルとなる。NMOS1002がオン状態となることでインバータの入力端子のレベルがLレベルへと下がって行く。この時Lレベルへと下がる迄にはインバータ内のトランジスタの寄生容量とNMOS1003のオン状態の抵抗に基づいた時定数が存在する。つまりNMOS1003の抵抗が存在することでNMOS1002のゲート電圧が一時的にHレベルとなっても、インバータの入力端子はすぐにはLレベルにはならず、NMOS1002が一定時間以上オン状態となることでインバータの入力端子はLレベルとなり、インバータの出力するレベルもHレベルへと切り替わる。つまりインバータ1004の入力端子がLレベルへと変る前にこの回路の入力であるノード410のレベルがLレベルへと移行すれば安定化回路の出力が変化することはない。

【0052】第2の安定化回路の例ではインバータとNMOSの抵抗を利用しインバータの出力信号が切り替わるまでに一定の時定数を持たせている。したがって、電圧検出回路が一時的にHレベルの信号を出力しても、すぐにテストモードに移行してしまうことはない。また第1の

安定化回路に比べて極めて簡単な構成で安定化回路を実現できるので回路面積を小さくすることが可能である。

【0053】以上詳細に説明したように本実施の形態によれば第1の実施の形態と同様の効果に加えて、ノイズなどによる誤動作を確実に防止する事が可能となる。

【0054】以上詳細に説明したように、本発明によれば半導体素子の温度、外部の電源電圧の変化、製造時のプロセスのばらつき等による影響を受けずに安定してテストモードへの移行が判別出来る半導体記憶装置を提供する事が可能である。またバーンインなどの加速試験時においても内部回路には加速電圧を与えたまま、素子の破壊の恐れがなく、テストモードに移行する事が可能となる。

【図面の簡単な説明】

【図1】本発明第1の実施の形態の半導体記憶装置の一部を示すブロック図。

【図2】参照電圧生成回路を示す回路図。

【図3】基準電圧回路を示す回路図。

【図4】電圧検出回路を示す回路図。

【図5】バッドに印加する電圧とノード410の電圧レベルの関係を示す図。

【図6】バーンイン試験時の電圧を示す図。

【図7】本発明第2の実施の形態の半導体記憶装置の一部を示すブロック図。

【図8】第1の安定化回路を示す回路図。

【図9】第1の安定化回路の入出力波形を示す図。

【図10】第2の安定化回路を示す回路図。

【図11】第12の安定化回路の入出力波形を示す図。

【図12】従来の電圧検出回路を示す回路図。

【符号の説明】

101 参照電圧生成回路

102 基準電圧回路

103 内部電源回路

104 電圧検出回路

105 テストモード制御回路

320 デコーダ回路

1、401 テストモード信号入力バッド

203、204、340～347、402、403、1002、1003 NMOSトランジスタ

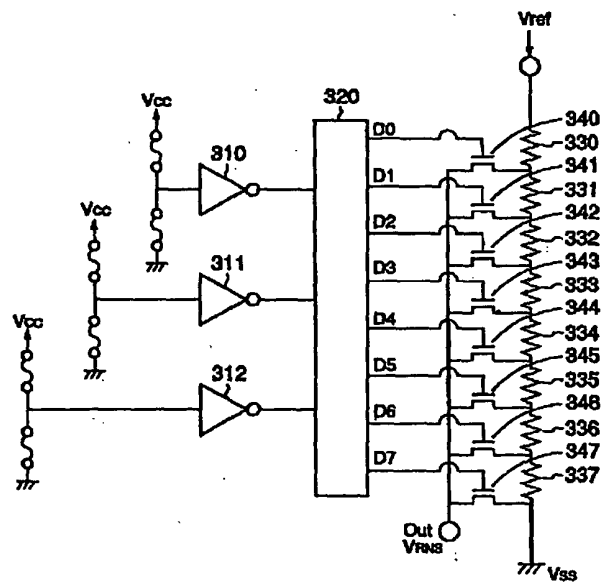
205、404、1001 PMOSトランジスタ

201、202、330～337、405 抵抗

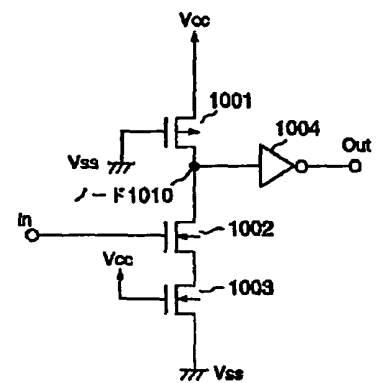
801～805、1004 インバータ

310～312 ヒューズROM

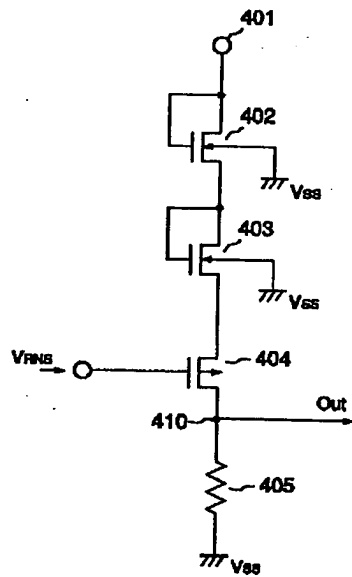
入力バッド



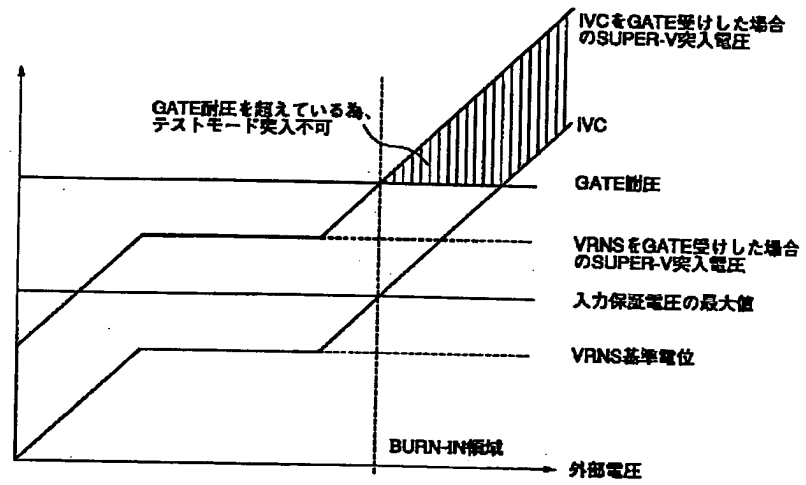
【图 10】



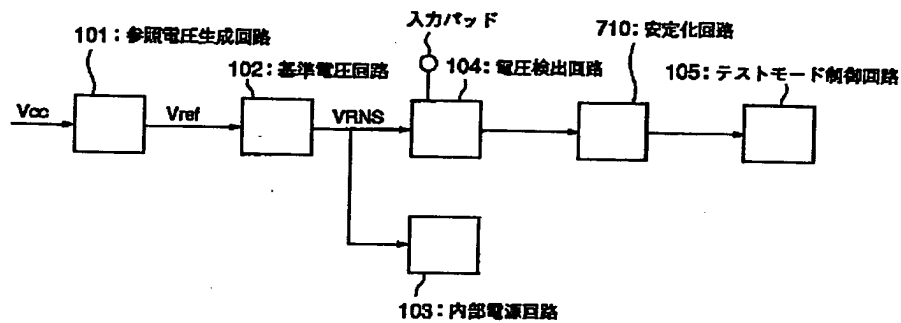
【図4】



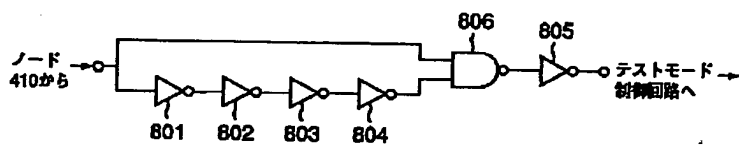
【図6】



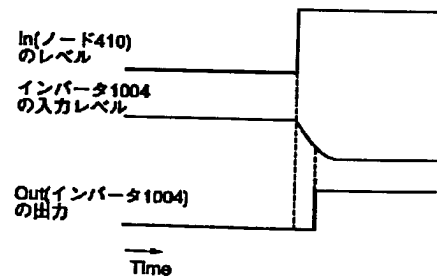
【図7】



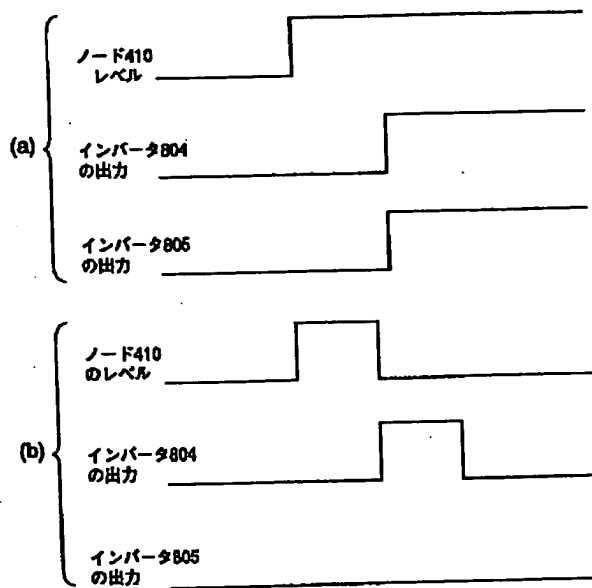
【図8】



【図11】



【図9】



【図12】

